

FAILURE ANALYZING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

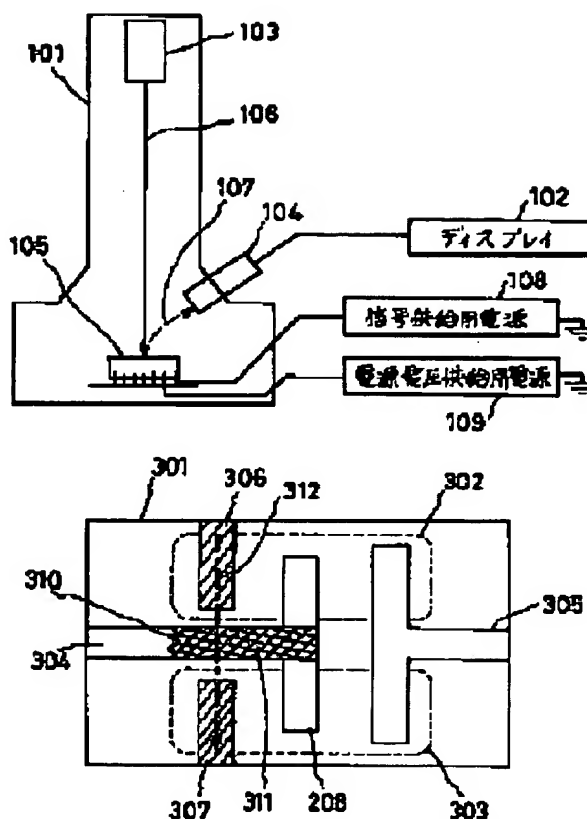
W1296

Patent number: JP10010208
Publication date: 1998-01-16
Inventor: SUMITOMO HIROSHI; NAKAMURA TOYOICHI
Applicant: NEC CORP
Classification:
 - international: G01R31/302; G01R31/02; G01R31/26; H01L21/66
 - european:
Application number: JP19960162858 19960624
Priority number(s):

Abstract of JP10010208

PROBLEM TO BE SOLVED: To provide an easy and quick method for detecting the failure location of breaking of wire in LSI having multilayer interconnection structure of three layer or more.

SOLUTION: The acceleration voltage of electron beam 106 is controlled so that the electron beam reaches an arbitrary wiring layer and the irradiation current and scanning speed of the electron beam 106 are set so that the electron quantity injected in the broken wire during the irradiation period of the electron beam 106 is equal to the electron outflow quantity during non-irradiation period. Thus the failure location is identified by flashing the broken wiring part of the arbitrary wiring layer and/or only the circuit connecting to the broken wiring part in an electric potential image obtained by SEM.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10208

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/302			G 0 1 R 31/28	L
31/02			31/02	
31/26			31/26	G
H 0 1 L 21/66			H 0 1 L 21/66	C

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平8-162858

(22) 出願日 平成8年(1996) 6月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 住友 洋志

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 中村 豊一

東京都港区芝五丁目7番1号 日本電気株式会社内

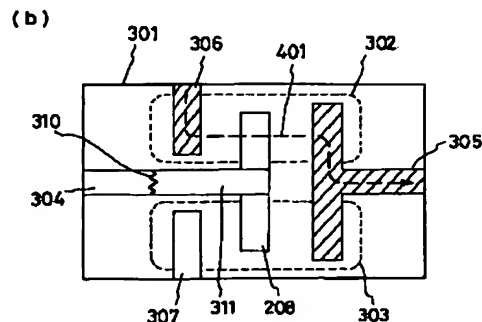
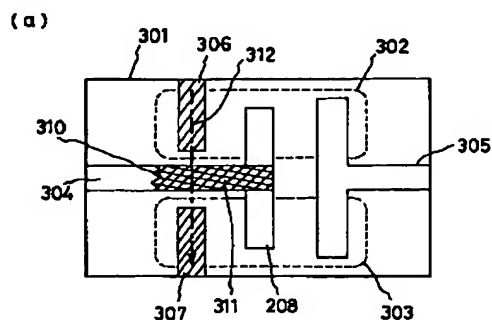
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体集積回路の故障解析方法

(57) 【要約】

【課題】 三層以上の多層配線構造をもつ L S I の断線故障箇所を検出する簡易でかつ高速な手法を提供する。

【解決手段】 電子ビームの加速電圧を前記電子ビームが任意の配線層に到達するように調節し、前記電子ビームの照射電流量と走査速度を前記電子ビームの照射期間中に断線配線に注入される電子注入量が非照射期間中の電子流出量に等しくなるように設定し、SEMによって得られる電位像中で前記任意の配線層の断線配線部および／または前記断線配線部につながる回路のみを点滅させることにより故障箇所を特定する。



【特許請求の範囲】

【請求項1】 半導体集積回路に電子ビームを走査照射し、放出される二次電子を二次電子検出器で検出し、前記半導体集積回路内の配線の電位像を得る半導体集積回路の故障解析方法において、
前記電子ビームの加速電圧を前記電子ビームが前記半導体集積回路の任意の配線層に到達するように調節し、
前記電子ビームの照射電流量と走査速度を前記電子ビームの照射期間中に断線配線に注入される電子注入量が非照射期間中の電子流出量にほぼ等しくなるように設定し、
前記電位像中で前記任意の配線層の断線配線部および／または前記断線配線部につながる回路のみを点滅させることにより故障箇所を特定することを特徴とする半導体集積回路の故障解析方法。

【請求項2】 請求項1記載の半導体集積回路の故障解析方法において、
前記半導体集積回路の電源端子に定電流源を接続し、
前記半導体集積回路の入力端子にかかる入力信号電圧を中間電位よりもわずかに高く設定することを特徴とする半導体集積回路の故障解析方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路の故障解析技術に属し、特に断線故障の検出に関するものである。

【0002】

【従来の技術】 従来、半導体集積回路（以下、LSIという）の故障信号の発生源を特定するために用いられる電子ビームテストでは、表面電位ポテンシャルによる二次電子の放出量の変化を測定することによって着目する配線の電圧パターンを得て、これを良品と不良品のLSIの間で比較している。この他にも、断線故障のより簡便な検出法として、断線のある配線とつながっているゲートへの電子注入による電圧変化を利用したCIVA法（Charge Induced Voltage Alteration Method）が文献1（E. I. Cole Jr. and R. E. Anderson, "Rapid Localization of Open Conductors Using Charge Induced Voltage Alteration", Proceedings of the 30th International Reliability Physics Symposium, 288-298 (1992)）に開示されており、これが実用化されている。

【0003】

【発明が解決しようとする課題】 しかし、従来の電子ビームテストでは表面電位ポテンシャルに基づいて配線の電圧パターンを比較するため、一次電子（電子ビーム）がLSIの表面から100nm以内の浅い領域にしか到達しないように1kV程度の低い加速電圧を用い、電子ビームの照射を停止しても試料表面の電位が未照射の状態に戻らない不可逆的なチャージアップを防止している。その結果、電圧変化の影響が表面まで及ばない三層

以上の深い配線の故障箇所を特定できない欠点があった。加えて、回路規模が大きくなるほど配線数は増大するため、電子ビームテストによる故障解析では、用意しなければならないテストベクトルが大きくなり故障解析時間の増大要因となっていた。

【0004】 また、CIVA法においては、たとえば、3入力のNANDゲートにおいて、断線のある配線以外の二つの入力が高レベル（以下、「H」と表す）とローレベル（以下、「L」と表す）に分かれていて出力が固定されている場合のように、断線のあるゲートの入力を変化させてもそのゲートの出力に変化が生じなければ断線を検知できない。すなわち、断線故障の場所によってはCIVA法では検出できないという問題があった。さらに、通常の走査電子顕微鏡（SEM）装置に加えて、画像化のために別途演算処理装置を必要とするため、システム構成が複雑になるという欠点があった。そこで本発明は、三層以上の多層配線構造をもつLSIの断線故障箇所を検出する簡易でかつ高速な手法を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記の目的を達成するために、本発明にかかるLSIの故障解析方法は、LSIに電子ビームを走査照射し、放出される二次電子を二次電子検出器で検出し、前記LSI内の配線の電位像を得るLSIの故障解析方法において、前記電子ビームの加速電圧を前記電子ビームが前記LSIの任意の配線層に到達するように調節し、前記電子ビームの照射電流量と走査速度を前記電子ビームの照射期間中に断線配線に注入される電子注入量が非照射期間中の電子流出量に等しくなるように設定し、前記電位像中で前記任意の配線層の断線配線部および／または前記断線配線部につながる回路のみを点滅させることにより故障箇所を特定することを特徴とする。これによって、電子ビームの加速電圧を適切に調節することによって任意の配線層に電子を注入し、このときの照射電流量および走査速度を適切に設定することにより、断線箇所の電位を中間電位と「L」の間で変化させ、断線配線部および／または前記断線配線部につながる回路のみが点滅する電位像を得ることにより、故障箇所を特定することができる。

【0006】 本発明はまた、LSIの電源端子に定電流源を接続し、前記LSIの入力端子にかかる入力信号電圧を中間電位よりもわずかに高く設定することを特徴とする。これによって、断線箇所の電位を「H」と中間電位との間で変化させ、任意の配線層の断線配線部および／または前記断線配線部につながる回路のみが点滅する電位像を得ることにより、故障箇所を特定することができる。

【0007】

【発明の実施の形態】 以下、本発明の第1の実施の形態について図面を参照しながら詳述する。図1は本発明を

実施するLSIの故障解析装置の一例を示す構成図である。この故障解析装置は、電子銃103と光電子増倍管104を含む走査電子顕微鏡(SEM)101と、試料LSI105の電位像を表示するディスプレイ102とから構成されている。SEM101の真空容器内に設置された試料LSI105には電源電圧供給用電源109から定格内の一定の電圧が供給されており、試料LSI105の入力端子に信号供給用電源108から信号を供給してこれを動作させることができる。

【0008】試料LSI105の電位は、SEM101の真空容器内において試料LSI105に電子銃103を用いて電子ビーム106を照射・走査し、電子ビームが照射された部位の電位に応じて放出される2次電子107を光電子増倍管104で検出することによって測定され、試料LSI105の電位像がディスプレイ102に写し出される。このとき、任意の配線層の故障解析を行うためには、以下に説明するように、電子ビーム106の加速電圧と照射電流量を適切に設定する必要がある。ただし、電子ビームの走査速度は一定として説明する。

【0009】任意の配線層に電子を注入するための加速電圧の設定について図2を参照して説明する。図2

(a)は電子ビームの照射を受けている試料LSI10

$$R = 0.022 E_{PE}^{1.65}$$

【0011】したがって、たとえば絶縁保護膜201の厚さが $1\mu\text{m}$ 、第二層間酸化膜203の厚さが $1.2\mu\text{m}$ 、第一層間酸化膜205の厚さが $0.8\mu\text{m}$ の場合、第二層配線202、第一配線層204、またはポリシリコンゲート208の断線検出には、加速電圧をそれぞれ 10kV 、 17kV 、または 20kV に設定する。本実施の形態において電子銃103は、加速電圧を 10kV から 50kV までの間で 1kV 単位で変えることができるようになっており、上述のように加速電圧を適切に設定することによって、試料LSI105の任意の配線層に電子ビーム106を到達させることができる。一般に絶縁保護膜201は $1\mu\text{m}$ 以上の厚さがあるので、配線層に電子ビームを到達させるためには加速電圧を 10kV 以上に設定する必要がある。

【0012】次に、電子ビーム106の照射電流量の設定について図3を用いて説明する。図3は、二つのCMOSトランジスタからなる2段インバータのレイアウトを示す模式図である。図3(a)は初段のインバータ300の出力と二段目のインバータ301の入力とをつなぐゲート配線304に断線がなく、各インバータのゲート入力電圧が「H」か「L」に固定されている場合を示し、図3(b)はゲート配線304に断線310がある場合を示している。なお、CMOSトランジスタのPMOS領域302およびNMOS領域303を破線で示した。

【0013】電子ビームを照射することによって配線に電子を注入した場合、正常な配線の電位を変化させるこ

5の断面をあらわす模式図、図2(b)はその一部の拡大図である。ここで試料LSI105は、 P^+ 基板領域210上に N^+ ウェル領域207、 N^+ 注入領域209および P^+ 注入領域211を形成して構成されたCMOSインバータである。この試料LSI105は、絶縁保護膜201に覆われた第二層配線202、これと第二層間酸化膜203を挟んで第一層配線204、および第一層間酸化膜205の下にポリシリコンゲート208を有するという多層構造を持っている。

【0010】このようなLSIの断線故障解析のためには、電子ビーム106が絶縁保護膜201や第二層間酸化膜203を貫通して第二配線層202や第一配線層204で停止するように加速電圧を設定してビーム走査をする必要がある。図2(b)は、多層構造のLSIにおける一次電子(電子ビーム)の平均到達点212、一次電子の平均飛程213および拡散半径214を模式的に表している。文献1によれば、電子ビーム106(一次電子)が試料LSI105内に侵入する深さ、すなわち一次電子の平均飛程213と、電子ビーム106の加速電圧 E_{PE} (kV)との間には、一次電子の平均飛程213を R (μm)と表すと、近似的に次のような関係式が成り立つ。

(1)

とはほぼ不可能である。すなわち、図3(a)の正常なゲート配線304を例にとれば、CMOSTランジスタのPMOS領域302にできたチャンネルを通して電源線306へ電子が流出する経路308が存在し、また正常なゲート配線305を例にとればグランド線307から電子が流入する経路309が存在するため、ゲート配線304または305に注入した電子が補償され、

「H」または「L」に固定されたゲート配線304または305の入力電位を変化させることはできない。

【0014】これに対し、図3(b)に示すように、ゲート配線304に断線310があると、断線配線311の電位、すなわち2段目のインバータの入力は電気的にフローティングで、多くの場合は「H」と「L」の間の中間電圧となっている。このとき、インバータ301の電源端子306からグランド端子307へ電流 I_{ddq} 312が流れる。

【0015】このとき、この断線310により入力信号が途切れた断線配線311には、上述のような電源線306またはグランド線307から電子が流出または流入する経路が存在しない。したがって、電子ビームを照射することによって拡散で流出する以上の電子を注入すれば、断線配線311に電子を蓄積することができ、電子ビーム照射前は中間電圧となっていた断線配線311の電位(インバータ301の入力ゲート電圧)を「L」にすることが可能である。その結果、電子ビームを断線配線311に照射すると、断線配線311の電位が「L」となり、これをゲート入力とする二段目のインバータ30

1の出力は「H」となる。

【0016】しかし、電子ビームの照射をやめれば、この注入された電子は拡散によって徐々に流出していき、断線配線311の電位は再び中間電位へもどっていく。このとき、電子ビームの照射電流量を、電子ビームの照射期間中は断線配線311の電位が中間電位から「L」になり、非照射期間中、すなわち電子ビームが他の領域を走査している期間中には中間電位に復帰するように設定すれば、断線配線311の電位は中間電位と「L」を繰り返す。その結果、試料LSIの電位像の中で、断線配線311とこれに続く後段のインバータの出力が点滅する。したがって、配線の途中で点滅が始まる箇所を発見することにより、断線箇所を特定することができる。

【0017】図4は、ゲート配線304に断線310がある場合に、断線配線311への電子の注入と拡散の繰り返しによってインバータ301の電圧像が点滅することを示す模式図である。図4(a)は、断線配線311に注入された電子が電子ビームが他の領域を走査している間に拡散してしまった状態で、断線配線311の電位は中間電位となり、電源線306からグランド線307へ電流312が流れている。これに対し4図(b)は、電子ビームを照射して電子を注入することにより断線配線311の電位を「L」とした結果、PMOS領域302からなるPMOSトランジスタが導通して電流経路401ができ、インバータ301の出力であるゲート配線305が「H」となっている様子を示している。

【0018】ゲート配線304に電子ビームが到達するように電子ビームの加速電圧を調整し、かつ電子ビームの照射期間中は断線配線311の電位が中間電位から「L」になり、また電子ビームが他の領域を走査している期間中には中間電位に復帰するような量の電子を注入するように電子ビームの照射電流量を設定すれば、断線配線311に接続しているゲート回路およびそれより後段のインバータが交互に点滅する試料LSIの電位像を得ることができ、これによって断線箇所を検出することができる。

【0019】具体的な例として、図2に示すようなポリシリコンゲートも含めて三層の多層配線構造を持つ試料LSI105に本発明にかかる故障解析方法を適用した。まず各配線層ごとに電子を注入できるように走査電子顕微鏡の加速電圧を次のように調節した。絶縁保護膜201の厚さが1 μ m、第二層間酸化膜203の厚さが1.2 μ m、第一層間酸化膜205の厚さが0.8 μ mとした場合、加速電圧は、第二層配線202の断線検出には10kV、第一層配線204の断線検出には17kV、ポリシリコンゲート208の断線検出には20kVと設定して断線検出を行った。

【0020】断線配線311に対する電子ビームによる電子注入量は、拡散による周囲への推定流出量が1pA以下であることから、電子ビームの照射電流量が100

pAより多い場合に断線配線311に電荷を蓄積することができ、また、注入電流(照射電流量)が10nAより少ない場合に、注入した電子を次の電子ビーム走査までに拡散させることができた。したがって、断線配線311に照射する電子ビームの照射電流量を100pAから10nAのオーダーで調節することによって、断線配線311の電位を中間電位と「L」の間で変化させることができる。なお、試料LSI105には、入力グランド間の電圧が3V、内部素子の立ち上がり・立ち下がり時間が10ns、入力容量5pFで動作するものを用いた。

【0021】次に、本発明の第2の実施の形態について説明する。本実施の形態にかかるLSIの故障解析装置も、図1に示すような第1の実施の形態と同じ構成でよい。ただし、本実施の形態では、たとえば図3(a)に示すような試料LSIの電源線306とグランド線307に定電流源を接続して、電源からグランドへ静的動作時に一定量の貫通電流が維持されるようにする。このような設定は、図1に示す構成中、電源電圧供給用電源109によって実現される。また、インバータ301の入力端子(ゲート配線)304にかかる入力信号電圧を、CMOSトランジスタのPMOS、NMOSの両方がオン状態となる中間電位よりもわずかに高く設定し、ゲート配線305に現れるインバータ301の出力がかろうじて「L」となるように設定する。以下、図3、図4および図5に基づき、本実施の形態の原理を説明する。

【0022】以上のような設定で、任意の配線層に電子を注入できるように電子ビームの加速電圧と照射電流量を調整する。このような調整をおこなうことで、たとえば図3(b)に示すようにゲート配線304に断線310があれば、電子ビームを照射することによってインバータ301の入力となる断線配線311の電位を下げるができる。これに対し、断線310がなければ、図3(a)に示すように、前段のインバータ300の電源線またはグランド線から流出する電子によってゲート配線304に注入された電子が補償されるので、電子ビームの照射によるゲート配線304の電位の変化はほとんどない。

【0023】図5に示すグラフは、横軸に試料LSIのゲート入力グランド間の電圧(入力電圧)を、縦軸に電源グランド間の貫通電流をとり、電荷注入によって入力グランド間の電圧(入力電圧)を100 μ s以下の時間内に変化させた場合に、電源グランド間の貫通電流の変化を示している。なお、入力電圧0.8Vがオンオフ電圧である。

【0024】断線配線311に電子ビームによって電子が注入された場合、断線配線311の電位は図5の第1の状態501から中間電位となってPMOSトランジスタ、NMOSトランジスタの両方がオンとなり、図4

(a)に示すように μ Aオーダーの電流 I_{ddq} 312が

流れる。この状態は、図5に示す第2の状態502に相当する。しかし、電源線306とグランド線307に接続された定電流源のために、両MOSトランジスタがオンした瞬間の I_{ddq} 312は一定電流を維持するために、電源-グランド間の電圧が減少する方向にフィードバックがかかる。これが図5の第3の状態503に相当する。

【0025】このように電源-グランド間の電圧が減少したため、オン-オフしきい値電圧も下がる。その結果、ゲートソース間の電圧（入力電圧）が相対的に大きくなる一方、注入された電子が拡散によって失われることによって断線配線311の電圧（ゲート電圧）が絶対的にも上昇する。その結果、NMOSトランジスタ303がオフして、貫通電流 I_{ddq} および入力電圧は電荷注入以前の状態、すなわち図5の第1の状態501に戻る。

【0026】電荷注入量や注入された電子の拡散の早さ、定電流源のフィードバックの早さ等を考慮して、電子ビームが他の領域を走査している間に図4(a)のような照射前の入力-グランド間の電圧（入力電圧）を回復するように電子ビームの照射電流量を設定する。このように電子ビームの加速電圧および照射電流量を適切に設定することによって、断線箇所より後段のゲートのみが電圧変化をする電位像を取得し、断線箇所を検出することができる。

【0027】

【発明の効果】本発明によれば、断線配線の電荷蓄積と拡散による電圧変化を画像化し、かつ電子ビームの加速電圧を適切に設定することで、これまでは困難であった三層以上の深い配線の断線故障を検出することができる。

【0028】また、上述の断線箇所のみが電圧変化する

電位像は、SEMの二次電子像として得られるため、故障解析に特殊な画像処理装置を必要としない。したがって、LSIの故障解析を簡易かつ高速に行うことができる。

【図面の簡単な説明】

【図1】 本発明にかかるLSIの故障解析装置の一例を示す構成図である。

【図2】 電子ビームの照射を受けている試料LSIの断面をあらわす模式図、およびその一部の拡大図である。

【図3】 二つのCMOSトランジスタからなる2段インバータのレイアウトを示す模式図である。

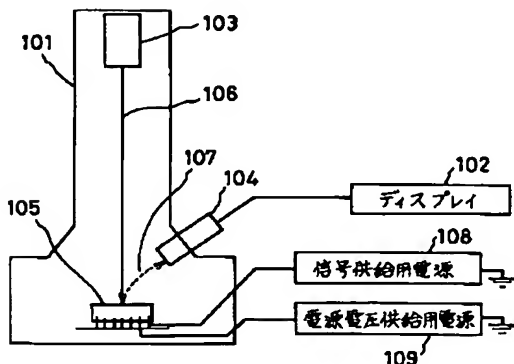
【図4】 断線配線への電子の注入と拡散の繰り返しによってインバータの電圧像が点滅することを示す模式図である。

【図5】 電荷注入による断線ゲートの電圧変化を説明するグラフである。

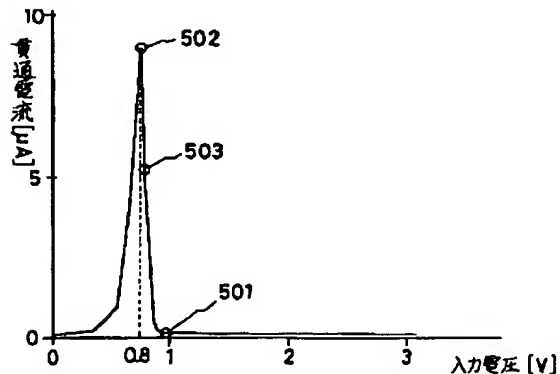
【符号の説明】

101…走査電子顕微鏡、102…ディスプレイ、103…電子銃、104…光電子像倍管、105…試料LSI、106…電子ビーム、107…2次電子、108…信号供給用電源、109電源電圧供給用電源、201絶縁保護膜、202…第二層配線、203…第二層間酸化膜、204…第一層配線、205…第一層間酸化膜、206…フィールド酸化膜、208…ポリシリコンゲート、300、301…インバータ、302…PMOS領域、303…NMOS領域、304、305…ゲート配線、306…電源線、307…グランド線、308…電子が流出する経路、309…電子が流入する経路、310…断線箇所、311…断線配線、312…貫通電流 I_{ddq} 、401…電流経路。

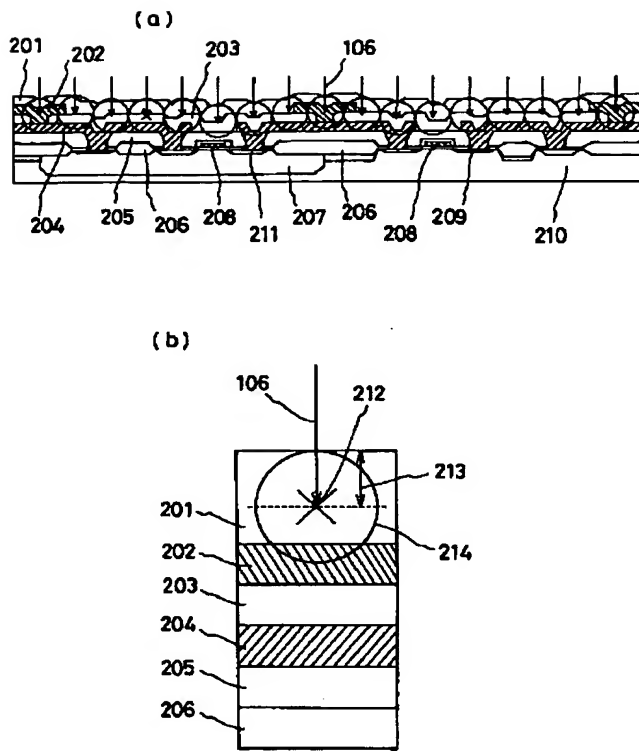
【図1】



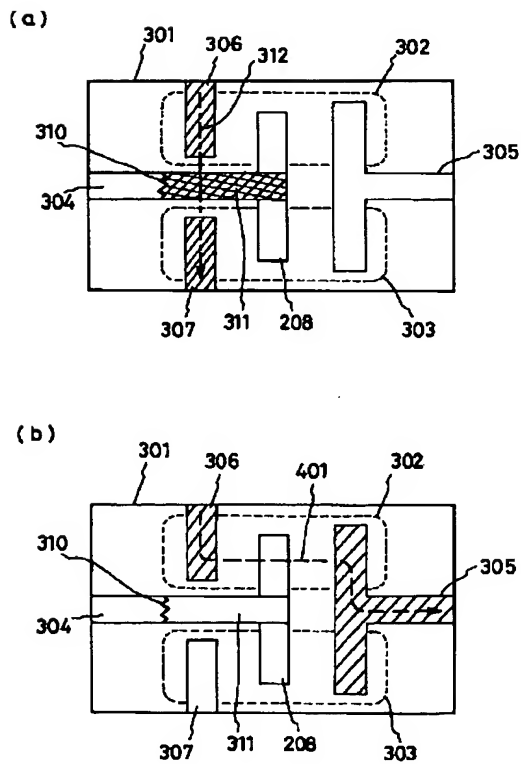
【図5】



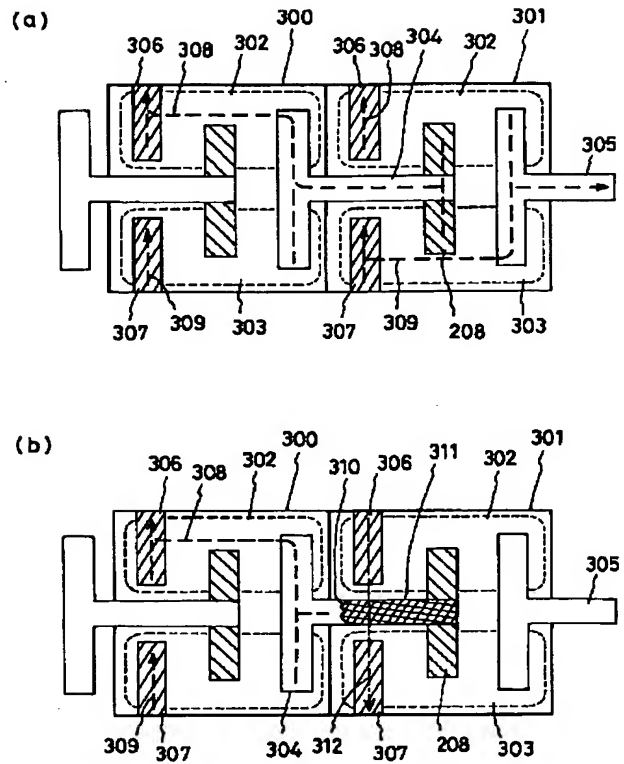
【図2】



【図4】



【図3】



BEST AVAILABLE COPY